

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-332276

(43)Date of publication of application : 21.11.2003

(51)Int.Cl.

H01L 21/304

(21)Application number : 2002-137416

(71)Applicant : HITACHI CHEM CO LTD

(22)Date of filing : 13.05.2002

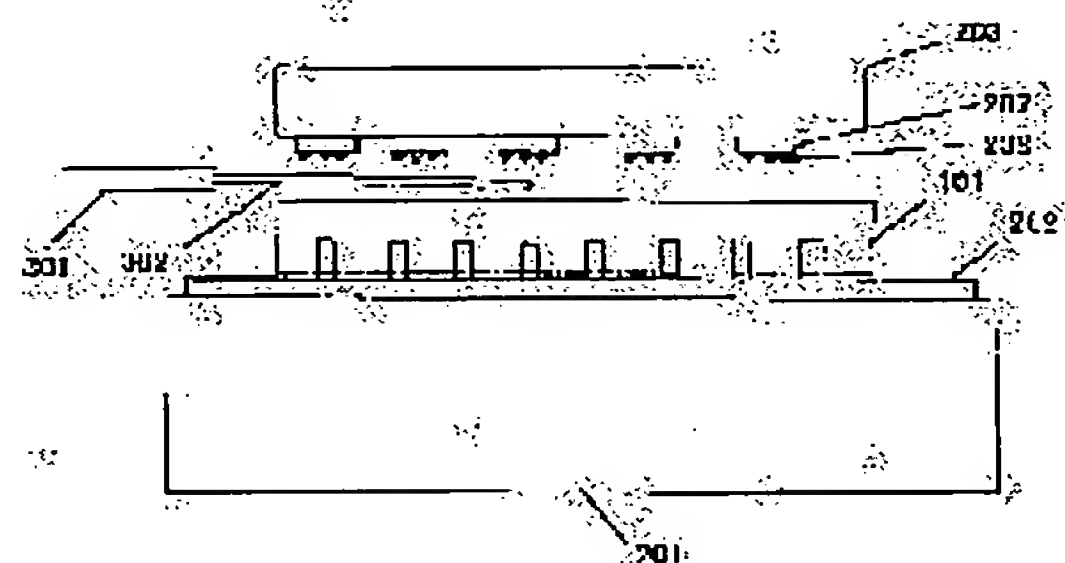
(72)Inventor : SHIBUYA MASAHIITO
ISHIZAKA HIRONOBU
KISE YOSHITAKA
HIROSE AKIRA

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a means for securing flexural strength of an IC (chip) and for preventing a surface of a wafer from being oxidized (burnt) by mechanical grinding.

SOLUTION: In the method of manufacturing the semiconductor device, a material with a fine grain size (#4,000) of abrasive particle constituting a grindstone having a short blade width (segment width) (2 mm) is used in a biaxial process for grinding the semiconductor wafer.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A manufacturing method of a semiconductor device using material with short (2 mm) blade width of a grinding stone whose particle size of an abrasive grain which constitutes a grinding stone in a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer is fine (#4,000).

[Claim 2]A manufacturing method of a semiconductor device given in the above-mentioned paragraph 1 using material with a hard (the conventional ratio twice [about]) bond which constitutes a grinding stone in a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer.

[Claim 3]A manufacturing method of a semiconductor device given in the above-mentioned paragraph 1 setting to 6,000r.p.m number of rotations of a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer.

[Claim 4]A manufacturing method of a semiconductor device given in the above-mentioned paragraph 1 dividing grinding steps into a three-stage and processing them in a biaxial process of grinding a semiconductor wafer.

[Claim 5]A manufacturing method of a semiconductor device given in the 1st above-mentioned paragraph making the quantity of amount of water injected on a semiconductor wafer at the time of grinding increase from a standard in a biaxial process of grinding a semiconductor wafer (a part for 4.5L/).

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of the semiconductor device used, for example in a semiconductor assembly process, grinds the rear face of the pattern formed on the wafer especially in the post process, and although it cuts and dissociates, it is used for chip shape.

[0002]

[Description of the Prior Art]Generally in the field of manufacture of a semiconductor device, it is divided roughly into the process of making a semiconductor chip (element pattern) in a semiconductor wafer, what is called a previous process (wafer type Shigeru process), and the process which carries out packaging of the chip and is assembled for a product and what is called a post process.

[0003]For example, many 675-micrometer-thick things whose outsides are 6-inch (150 mm) grades as a semiconductor wafer are used, and several 100 – the semiconductor chip of 1,000 numbers are formed on the semiconductor wafer of one sheet. The above-mentioned semiconductor chip is separately cut down along a scribed line (dicing line), after the rear-face side of a semiconductor wafer is ground and thickness is processed with 50 to about 300 micrometers according to the outside thickness of a product. That is, each of the semiconductor chip divided from the semiconductor wafer (cutting/separation) is pasted up with an epoxy resin etc. on the island of a leadframe (die bonding).

Then, the internal electrode (bonding pad) of a semiconductor chip and the inner lead of a leadframe are connected by the gold streak about 25-30-micrometer length (lead bonding). And after injection molding (closure) of the circumference of the above-mentioned semiconductor chip is carried out with mold resin including this gold streak, further, the outer lead of the above-mentioned leadframe bends, is formed, and a final product is completed.

[0004]Among these, the process of grinding thinly the semiconductor chip in which wiring was formed, and dividing it into an individual semiconductor chip, As shown in drawing 5 (a), As the semiconductor wafer 101 in which the semiconductor chip was formed in the surface is carried on the work plate 201, and the masking tape 202 for protecting a semiconductor chip is stuck on the surface of the semiconductor wafer 101 and it is shown in drawing 5 (b) below after that, The above-mentioned masking tape 202 is turned down, and a semiconductor wafer is fixed on the above-mentioned work plate. And as the rear face of a semiconductor wafer is ground with the grinding stone 203, and it is made predetermined thickness, and are shown in drawing 5 (c), it exfoliates and the above-mentioned masking tape is shown in drawing 5 (d) below from the surface of a semiconductor wafer, As the semiconductor wafer 101 is dipped in the drug solution 204, the waste silicon generated at the time of the paste of the adhesives which remain in the surface of the semiconductor wafer 101, or grinding is removed when the masking tape 202 is exfoliated, and also shown in drawing 5 (e), As the dicing tape 205 is stuck on the rear face of the semiconductor wafer 101 and it is shown in drawing 5 (f) below, Turn the above-mentioned dicing tape 205 down, fix the semiconductor wafer 101 on the work plate 201, and the braid (dicing saw) 206 cuts the semiconductor wafer 202 along with a dicing line, As it separates into each semiconductor chip and is shown in drawing 5 (g), only the semiconductor chip 102 of an excellent article is taken up from the dicing tape 205, and it pastes up with the epoxy resin 104 etc. on the island 103a of the leadframe 103. At two to 3 step, to predetermined thickness, grind the rear face of a semiconductor wafer after point dicing (predetermined slitting is beforehand put into the scribe line of the device surface of a semiconductor wafer) besides the above-mentioned processing method, and After it, It separates into each semiconductor chip and there is also a method of taking up

only the semiconductor chip of an excellent article.

[0005]

[Problem(s) to be Solved by the Invention]In order to secure the anti-chip box intensity of a chip in the conventional manufacturing method mentioned above in the biaxial grinding process ground in predetermined thickness, continuously in particle size #4,000 of a grinding stone However, 7–8 sheets, When a wafer with a device was ground, in the surface of the wafer, the oxidation (field glow) phenomenon had occurred frequently at the biaxial final finishing process of grinding. A memory abnormality is checked, as a result of carrying out chip making of the aforementioned wafer which carried out a field glow, mounting this in a card and doing the memory R/W cyclic test inside a chip.

[0006]An object of this invention is to provide a means to secure the anti-chip box intensity of IC (chip), and to prevent oxidation (field glow) of a wafer grinding side, even when the grinding stone of #4,000 with a fine particle size is used in view of the above-mentioned problem.

[0007]

[Means for Solving the Problem]This invention is characterized by the following things.

- (1) A manufacturing method of a semiconductor device using material with short (2 mm) blade width of a grinding stone whose particle size of an abrasive grain which constitutes a grinding stone in a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer is fine (#4,000).
- (2) A manufacturing method of a semiconductor device given in the above-mentioned paragraph 1 using material with a hard (conventional ratio twice [about]) bond which constitutes a grinding stone in a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer.
- (3) A manufacturing method of a semiconductor device given in the above (1) setting to 6,000r.p.m number of rotations of a grinding stone used for grinding in a biaxial process of grinding a semiconductor wafer.
- (4) A manufacturing method of a semiconductor device given in the above (1) dividing grinding steps into a three-stage and processing them in a biaxial process of grinding a semiconductor wafer.
- (5) A manufacturing method of a semiconductor device given in the above (1) considering from a standard amount of water injected on a semiconductor wafer at the time of grinding as increase in quantity (a part for 4.5L/) in a biaxial process of grinding a semiconductor wafer.

[0008]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described using a drawing. Drawing 1 shows the outline of the important section of a manufacturing process concerning one gestalt of operation of this invention.

[0009]First, the surface in which the semiconductor chip 102 is formed [semiconductor chip / 102 / (element pattern) / which was published on the semiconductor wafer 101 by the previous process] in the semiconductor wafer 101 as shown in drawing 1 is turned up, It fixes to work plate top 201, and the width of the edge of a blade cuts to all the scribe lines on the semiconductor wafer 101 deeply to a wafer depth of 288 micrometers in number-of-rotations:20,000r.p.m and feed-rate 20 mm/s with the braid 206 of 30-micrometer width and particle diameter #4,500, and the slot 303 is put into them.

[0010]Then, the masking tape 202 is stuck on the device surface of the semiconductor wafer 101, a device surface is turned down, and the semiconductor wafer 101 is set to the work plate 201 of grinding attachment as shown in drawing 2. First, as primary grinding (one axis), in #360, the spindle number of rotations 3, and 000r.p.m, the particle size of the grinding stone 203 divides rough grinding into three steps, and carries it out. It grinds by 1st by feed-rate [of 8micrometers/sec], and CT number-of-rotations 200r.p.m, the grinding amount of 312 micrometers, and 2nd, and grinds with feed-rate [of 3micrometers/sec], and CT number-of-rotations 100r.p.m, and the grinding amount of 0 micrometer by feed-rate [of 3micrometers/sec], and CT number-of-rotations 100r.p.m, the grinding amount of 15 micrometers, and 3rd. Next, in secondary grinding (biaxial), in particle size #4,000 of grinding stone 203, blade width [of 2 mm], and spindle number-of-rotations 6,000r.p.m, and the amount 4.5L of grinding water, finish grinding was divided into three steps and carried out as shown in drawing 3. The grinding conditions at this time by 1st Feed-rate [of 0.5micrometer/sec], and CT number-of-rotations 40r.p.m, the grinding amount of 22 micrometers, It ground by 2nd at feed-rate [of 0.5micrometer/sec], and CT number-of-rotations 40r.p.m, the grinding amount of 4 micrometers, and 3rd with feed-rate [of 0.5micrometer/sec], and CT number-of-rotations 40r.p.m, and the grinding amount of 4 micrometers. as a result of measuring by N= 2 also about the spindle load current which equipped with the grinding stone [as opposed to / there is no field glow in a processed surface, and / the biaxial grinding amount at this time] as a result of processing a wafer by ten-sheet continuation on the aforementioned grinding

conditions, it is shown in drawing 4 -- as -- a maximum of -- it is below 8A and comparatively stable. [0011]The masking tape 202 stuck on the device surface was removed from the semiconductor wafer 101 ground above, the semiconductor wafer 101 was set in the sorting device, and the chip was taken up based on the wafer address shown in drawing 8. As a result of measuring the anti-chip box intensity of a chip about 11 chips by which ten wafers were taken up respectively, the anti-chip box intensity average value and variation for every wafer became the distribution shown in drawing 7.

[0012]<Comparative example> As a result of processing nine wafers with a device continuously on the grinding conditions in the conventional grinding stone, a field glow occurred in the 4th sheet. Transition of spindle load current to the biaxial grinding amount ground to the 270-micrometer thickness at this time is shown in drawing 6. From this, when a current value exceeds 8.7A in a biaxial 3rd cut grinding operation, a field glow has occurred.

[0013]

[Effect of the Invention]As explained above, without the surface of a grinding side oxidizing, even when a wafer is ground continuously according to this invention, stable processing can be performed and it can be comparatively processed into the high chip of anti-chip box intensity also to the intensity of a chip. (Chip-box [anti-] intensity: Conventional ratio twice [about]). After carrying a chip, since a chip crack can be reduced as much as possible to the bending stress in a card, it becomes possible to be made and crowded in a reliable IC card.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2003-332276
(P2003-332276A)

(43) 公開日 平成15年11月21日 (2003. 11. 21)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト [*] (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 F
	6 3 1		6 3 1

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2002-137416(P2002-137416)

(22) 出願日 平成14年5月13日 (2002. 5. 13)

(71) 出願人 000004455
日立化成工業株式会社
東京都新宿区西新宿2丁目1番1号

(72) 発明者 渋谷 正仁
茨城県下館市大字五所宮1150番地 日立化成工業株式会社五所宮事業所内

(72) 発明者 石坂 裕宣
茨城県下館市大字五所宮1150番地 日立化成工業株式会社五所宮事業所内

(72) 発明者 木瀬 喜隆
茨城県下館市大字五所宮1150番地 日立化成工業株式会社五所宮事業所内

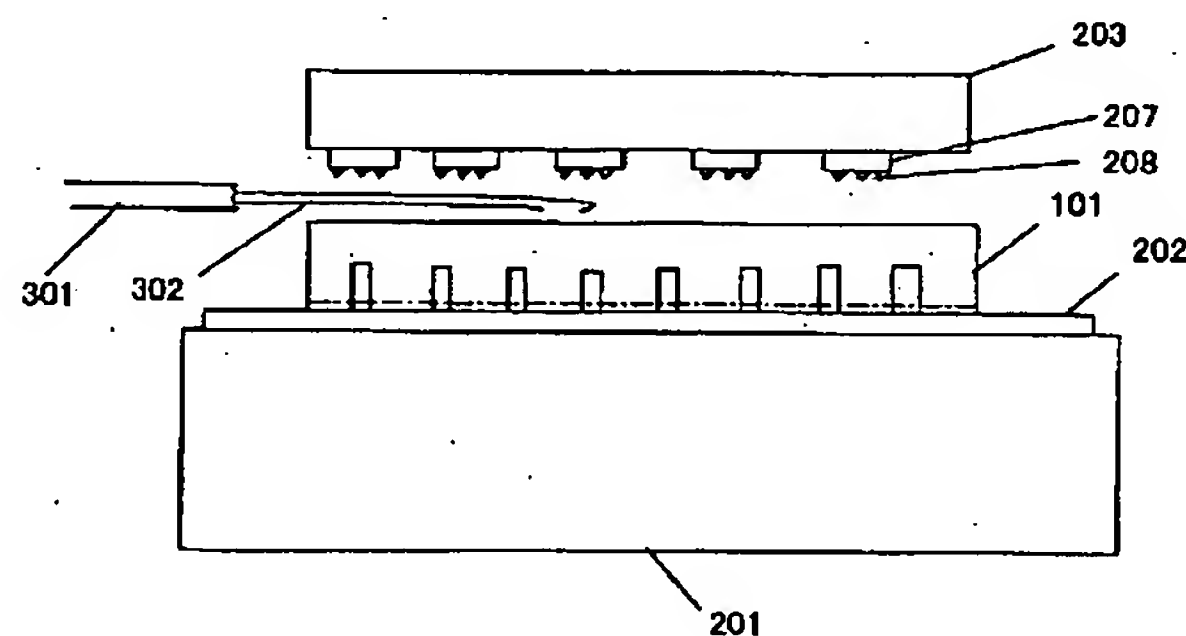
最終頁に続く

(54) 【発明の名称】 半導体装置の製造法

(57) 【要約】

【課題】 本発明は、I C (チップ) の抗折強度を確保し、尚且つ機械的な研削によるウエハ表面の酸化 (面焼け) を防止する手段を提供する。

【解決手段】 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石に砥石を構成する砥粒の粒度が細かく (# 4, 0 0 0) かつ砥石の刃巾 (セグメント巾) が短い (2 mm) 材料を用いたことを特徴とする半導体装置の製造法。



【特許請求の範囲】

【請求項1】 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石に砥石を構成する砥粒の粒度が細かく（＃4，000）かつ砥石の刃巾が短い（2mm）材料を用いたことを特徴とする半導体装置の製造法。

【請求項2】 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石に砥石を構成するボンドが硬い（従来比約2倍）材料を用いたことを特徴とする上記項1に記載の半導体装置の製造法。

【請求項3】 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石の回転数を6，000r.p.mとしたことを特徴とする上記項1に記載の半導体装置の製造法。

【請求項4】 半導体ウエハを研削する2軸工程に於いて、研削ステップを3段階に分けて加工することを特徴とする上記項1に記載の半導体装置の製造方法。

【請求項5】 半導体ウエハを研削する2軸工程に於いて、研削時の半導体ウエハ上に噴射する水量を標準より増量（4.5L/分）させたことを特徴とする上記1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば半導体組立工程において用いられる半導体装置の製造方法に関するもので、特に後工程にてウエハ上に形成されたパターンの裏面を研削し、チップ状に切断・分離するのに使用されるものである。

【0002】

【従来の技術】一般に半導体装置の製造の分野においては、半導体ウエハ内に半導体チップ（素子パターン）を作る工程、いわゆる前工程（ウエハ形成工程）と、チップをパッケージングして製品に組み立てる工程、いわゆる後工程とに大別される。

【0003】例えば、半導体ウエハとしては厚さが675 μ m、外形が6インチ（150mm）程度のものが多く用いられており、1枚の半導体ウエハ上には、数100～数1,000個の半導体チップが形成されるようになっている。上記半導体チップは、製品の外形厚さに応じて、半導体ウエハの裏面側が研削されて厚さが50 μ mから300 μ m程度と加工された後、スクライプ線（ダイシングライン）に沿って個々に切り出される。すなわち、半導体ウエハより分割（切断／分離）された半導体チップのそれぞれは、リードフレームのアイランド上にエポキシ樹脂などにより接着（ダイボンディング）される。その後、半導体チップの内部電極（ボンディングパッド）とリードフレームのインナリードとが、25～30 μ m長程度の金線により接続（リードボンディング）される。そして、この金線を含んで、上記半導体チップの周囲がモールド樹脂により射出成形（封止）され

た後、さらに上記リードフレームの OUTER リードが曲げ形成されて最終製品が完成される。

【0004】このうち、配線の形成された半導体チップを、薄く研削し、個別の半導体チップに分割する工程は、図5（a）に示すように、表面に半導体チップが形成された半導体ウエハ101をワークプレート201上に載せ、その後、半導体ウエハ101の表面に、半導体チップを保護する為の保護テープ202を貼り付け、次に図5（b）に示すように、上記保護テープ202を下にして半導体ウエハを上記ワークプレート上に固定する。そして、砥石203により半導体ウエハの裏面を研削し、所定の厚さにし、次に図5（c）に示すように半導体ウエハの表面より上記保護テープを剥離し、次に図5（d）に示すように、半導体ウエハ101を薬液204内に浸し、保護テープ202を剥離した際に半導体ウエハ101の表面に残る接着剤の糊や研削時に発生したシリコン屑を除去し、更に図5（e）に示すように、半導体ウエハ101の裏面にダイシングテープ205を貼り付け、次に図5（f）に示すように、上記ダイシングテープ205を下にして半導体ウエハ101をワークプレート201上に固定し、ブレード（ダイシング・ソー）206によりダイシングラインに沿って半導体ウエハ202を切断し、個々の半導体チップに分離し、そして図5（g）に示すように、良品の半導体チップ102のみをダイシングテープ205よりピックアップし、リードフレーム103のアイランド103a上にエポキシ樹脂104などにより接着する。又、上記の加工方法の他、先ダイシング（半導体ウエハのデバイス面のスクライプラインに予め所定の切り込みを入れる）後、半導体ウエハの裏面を2～3ステップで所定の厚さまで研削し、そのあと、個々の半導体チップに分離し、良品の半導体チップのみをピックアップする方法もある。

【0005】

【発明が解決しようとする課題】しかしながら、上述した従来の製造方法において、所定の厚さに研削する2軸研削プロセスにおいてチップの抗折強度を確保する為砥石の粒度＃4，000にて連続して7～8枚、デバイス付きウエハの研削を行った場合、研削の2軸最終仕上げ工程にてウエハの表面が酸化（面焼け）現象が頻繁に発生していた。又、前記の面焼けしたウエハをチップ化し、これをカードに実装し、チップ内部のメモリR/W繰り返し試験を行った結果、メモリ異常が確認されている。

【0006】本発明は上記問題に鑑み、粒度が細かい＃4，000の砥石を用いた場合でも、IC（チップ）の抗折強度を確保し、かつウエハ研削面の酸化（面焼け）を防止する手段を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明は以下のことを特

徴とする。

(1) 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石に砥石を構成する砥粒の粒度が細かく

(#4, 000) かつ砥石の刃巾が短い(2mm)材料を用いたことを特徴とする半導体装置の製造法。

(2) 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石に砥石を構成するボンドが硬い(従来比約2倍)材料を用いたことを特徴とする上記項1に記載の半導体装置の製造法。

(3) 半導体ウエハを研削する2軸工程に於いて、研削に使用する砥石の回転数を6, 000 r. p. mとしたことを特徴とする上記(1)に記載の半導体装置の製造法。

(4) 半導体ウエハを研削する2軸工程に於いて、研削ステップを3段階に分けて加工することを特徴とする上記(1)に記載の半導体装置の製造方法。

(5) 半導体ウエハを研削する2軸工程に於いて、研削時の半導体ウエハ上に噴射する水量を標準より増量

(4. 5 L/分)としたことを特徴とする上記(1)に記載の半導体装置の製造方法。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は、本発明の実施の一形態にかかる、製造プロセスの要部の概略を示すものである。

【0009】まず、前工程で半導体ウエハ101上に掲載された半導体チップ(素子パターン)102を例えば図1に示すように半導体ウエハ101を、半導体チップ102が形成されている表面を上にして、ワークプレート上201に固定し、半導体ウエハ101上の全スクライブラインに刃先の幅が30μm幅、粒径#4, 500のブレード206にて回転数: 20, 000 r. p. m, 送り速度20mm/sにてウエハ深さ288μmまで切り込み溝303を入れる。

【0010】その後、図2に示す通り、半導体ウエハ101のデバイス面に保護テープ202を貼り、デバイス面を下側にし、研削装置のワークプレート201に半導体ウエハ101をセットする。まず、1次研削(1軸)として、砥石203の粒度は#360, スピンドル回転数3, 000 r. p. mにて粗研削を3ステップに分けて実施する。1stで送り速度8μm/sec, CT回転数200 r. p. m, 研削量312μm、2ndで送り速度3μm/sec, CT回転数100 r. p. m, 研削量15μm、3rdで送り速度3μm/sec, CT回転数100 r. p. m, 研削量0μmにて研削する。次に2次研削(2軸)では、図3に示す通り、砥石203の粒度#4, 000、刃巾2mm、スピンドル回転数6, 000 r. p. m, 研削水量4. 5Lにて仕上げ研削を3ステップに分けて実施した。この時の研削条件は、1stで送り速度0. 5μm/sec,

CT回転数40 r. p. m, 研削量22μm、2ndで送り速度0. 5μm/sec, CT回転数40 r. p. m, 研削量4μm、3rdで送り速度0. 5μm/sec, CT回転数40 r. p. m, 研削量4μmにて研削した。前記の研削条件にてウエハを10枚連続で加工した結果、加工面には面焼けなく、又この時の、2軸研削量に対する砥石を装着したスピンドル負荷電流についてもN=2で測定した結果、図4に示す如く、最大8A以下であり、比較的安定していた。

【0011】上記にて研削した半導体ウエハ101からデバイス面に貼られた保護テープ202を剥がし、半導体ウエハ101をソーティング装置にセットし、図8に示すウエハアドレスに基づき、チップをピックアップした。また、10枚のウエハの各々ピックアップされた11個のチップについてチップの抗折強度を測定した結果、ウエハ毎の抗折強度平均値とバラツキは図7に示す分布となった。

【0012】<比較例>従来の砥石での研削条件にてデバイス付きウエハを9枚連続して加工した結果、4枚目で面焼けが発生した。又、この時の270μm厚さまで研削した2軸研削量に対するスピンドル負荷電流の推移を図6に示す。これより、2軸3rdカット研削工程において電流値が8. 7Aを超えた時点で面焼けが発生している。

【0013】

【発明の効果】以上説明したように、本発明によればウエハを連続して研削を行った場合でも研削面の表面が酸化することなく、安定した加工が行え、かつチップの強度に対しても比較的抗折強度の高いチップに加工することができる。(抗折強度: 従来比約2倍)。また、チップを搭載後は、カードでの曲げ応力に対して、チップ割れを極力低減できるため、信頼性の高いICカードに作りこむことが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の一形態にかかるウエハダイシング加工プロセスの要部を示す概略図。

【図2】本発明の実施の一形態にかかるウエハ研削加工プロセスの要部を示す概略図。

【図3】本発明の実施の一形態にかかるウエハ研削加工プロセスの2軸研削でのフロー図。

【図4】本発明における加工条件での2軸研削量とスピンドル負荷電流との関係

【図5】従来のウエハ加工技術に関する説明図。

【図6】従来加工条件での2軸研削量とスピンドル負荷電流との関係

【図7】本発明における加工条件でのウエハ毎のチップ抗折強度とバラツキ。

【図8】ウエハ抗折強度測定サンプリングアドレス

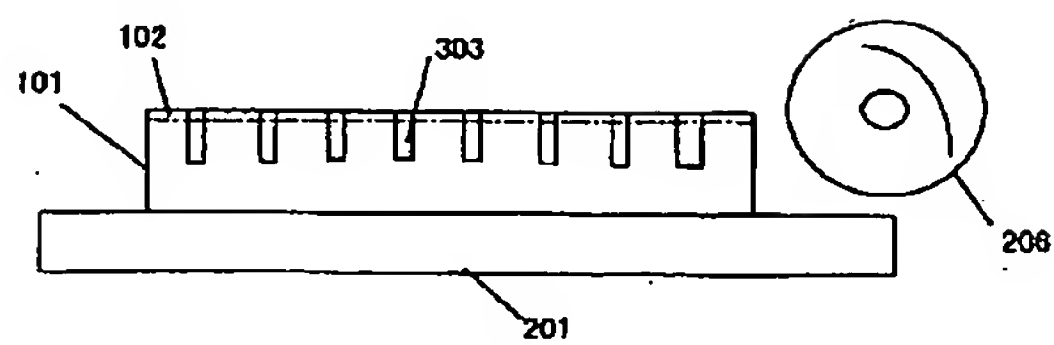
【符号の説明】

101: 半導体ウエハ

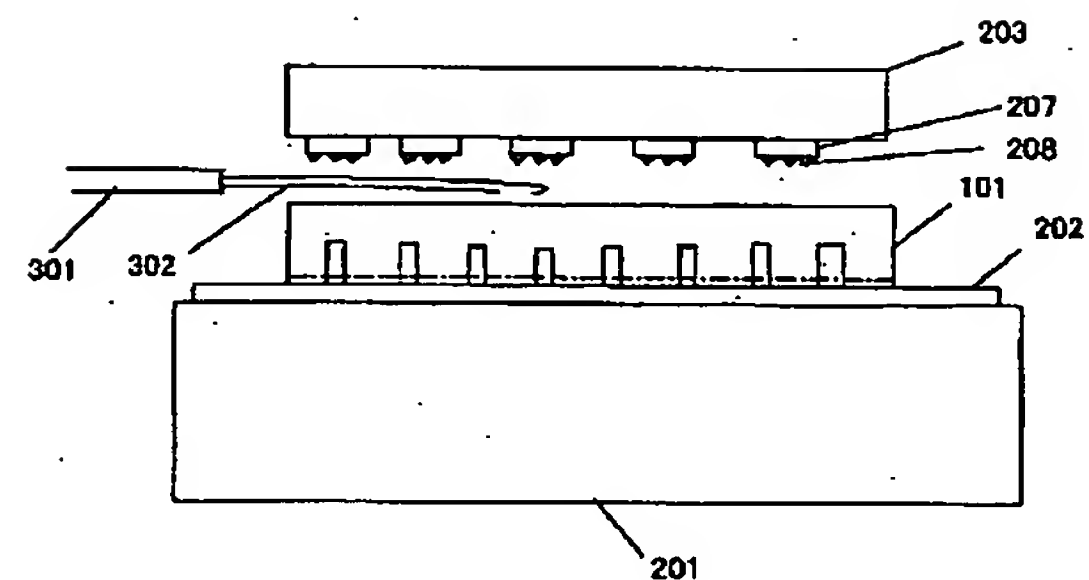
102 : 半導体チップ
 103 : リードフレーム
 104 : エポキシ樹脂
 201 : ワークプレート
 202 : 保護テープ
 203 : 砥石
 204 : 薬液

205 : ダイシングテープ
 206 : ブレード (ダイシング/ソー)
 207 : ボンド
 208 : ダイヤモンド
 301 : ノズル
 302 : 水
 303 : 切り込み溝

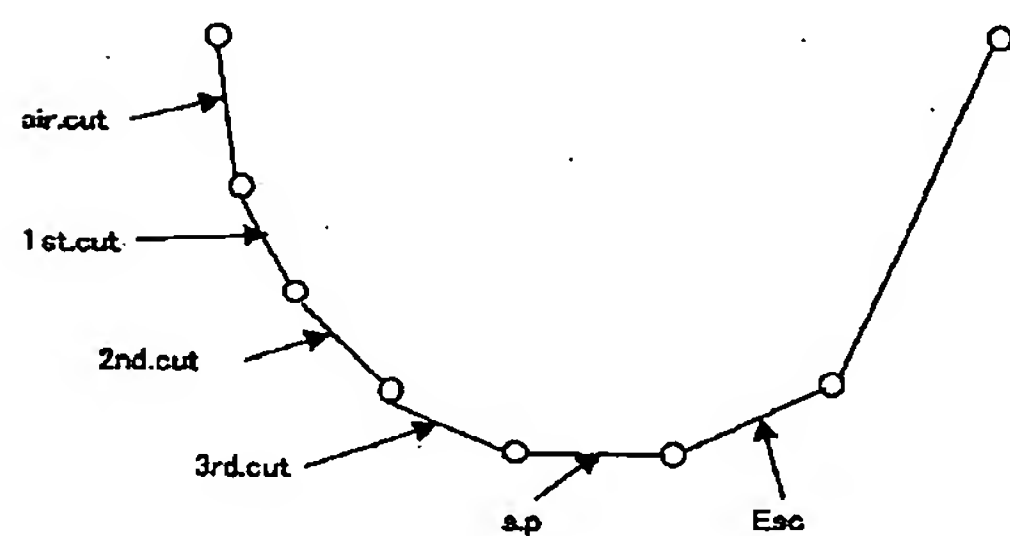
【図1】



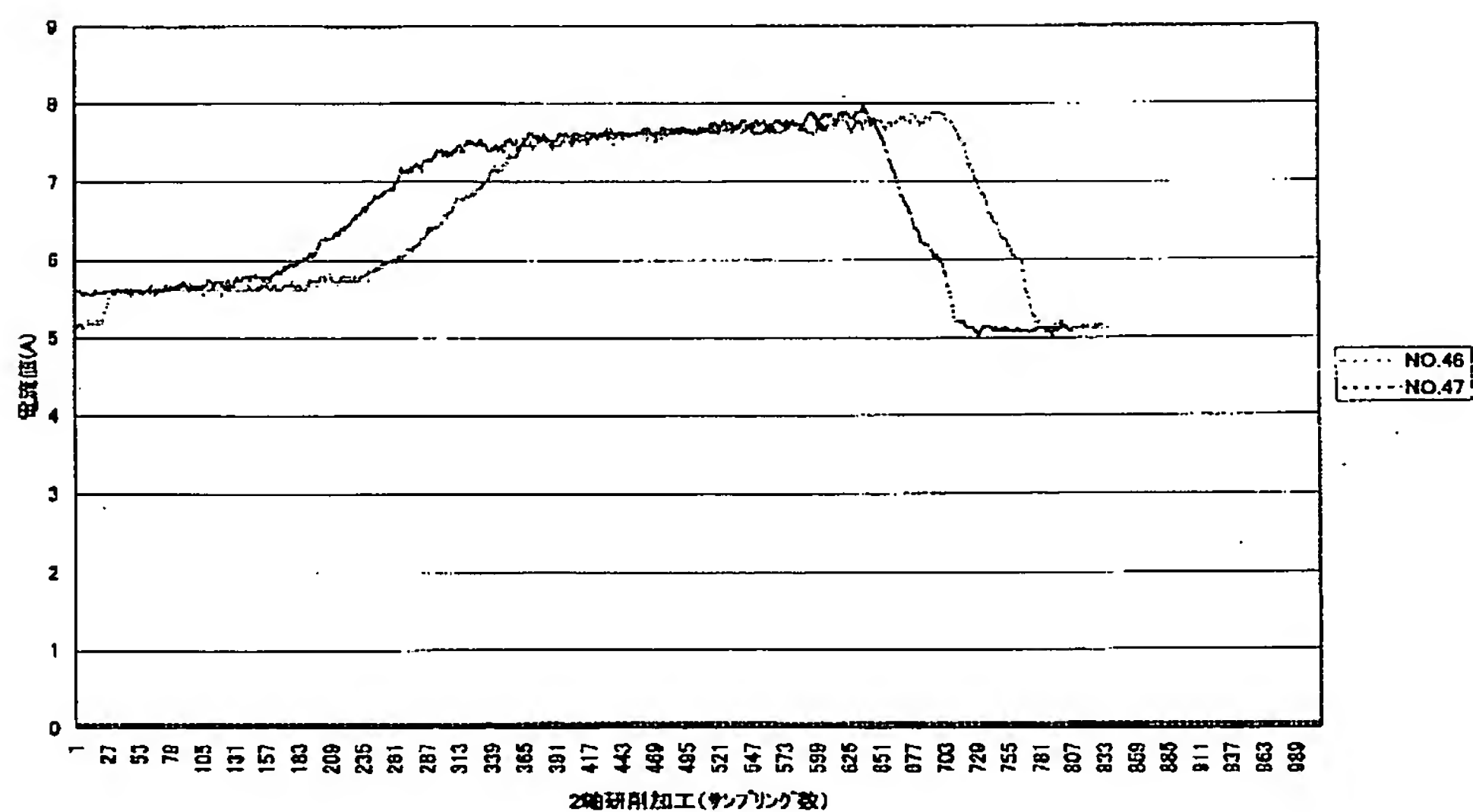
【図2】



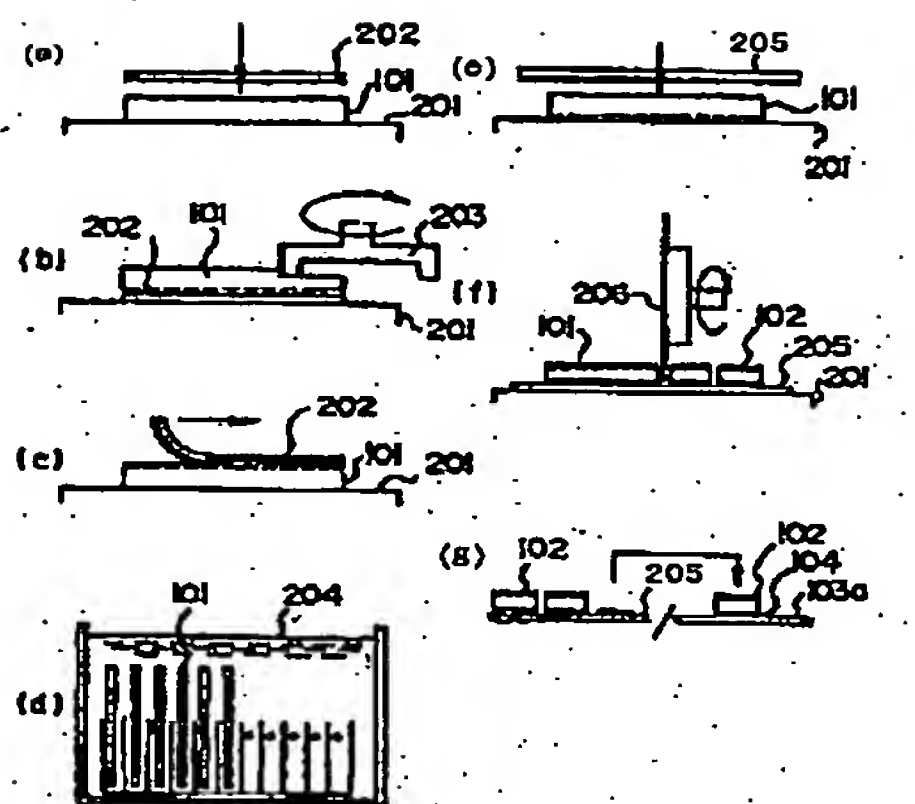
【図3】



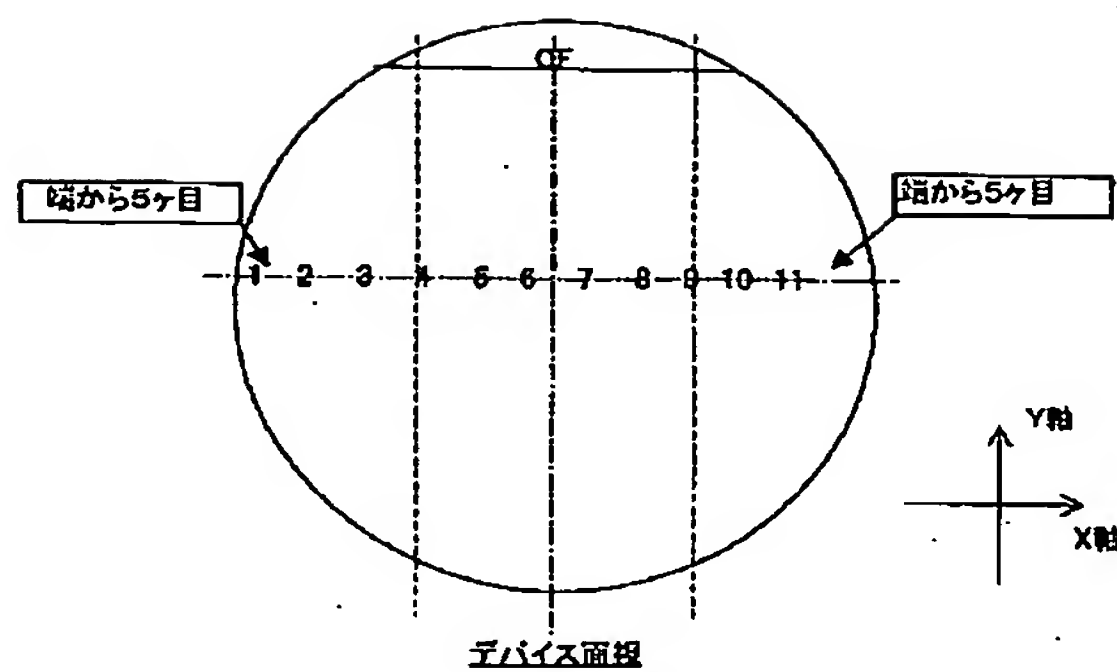
【図4】



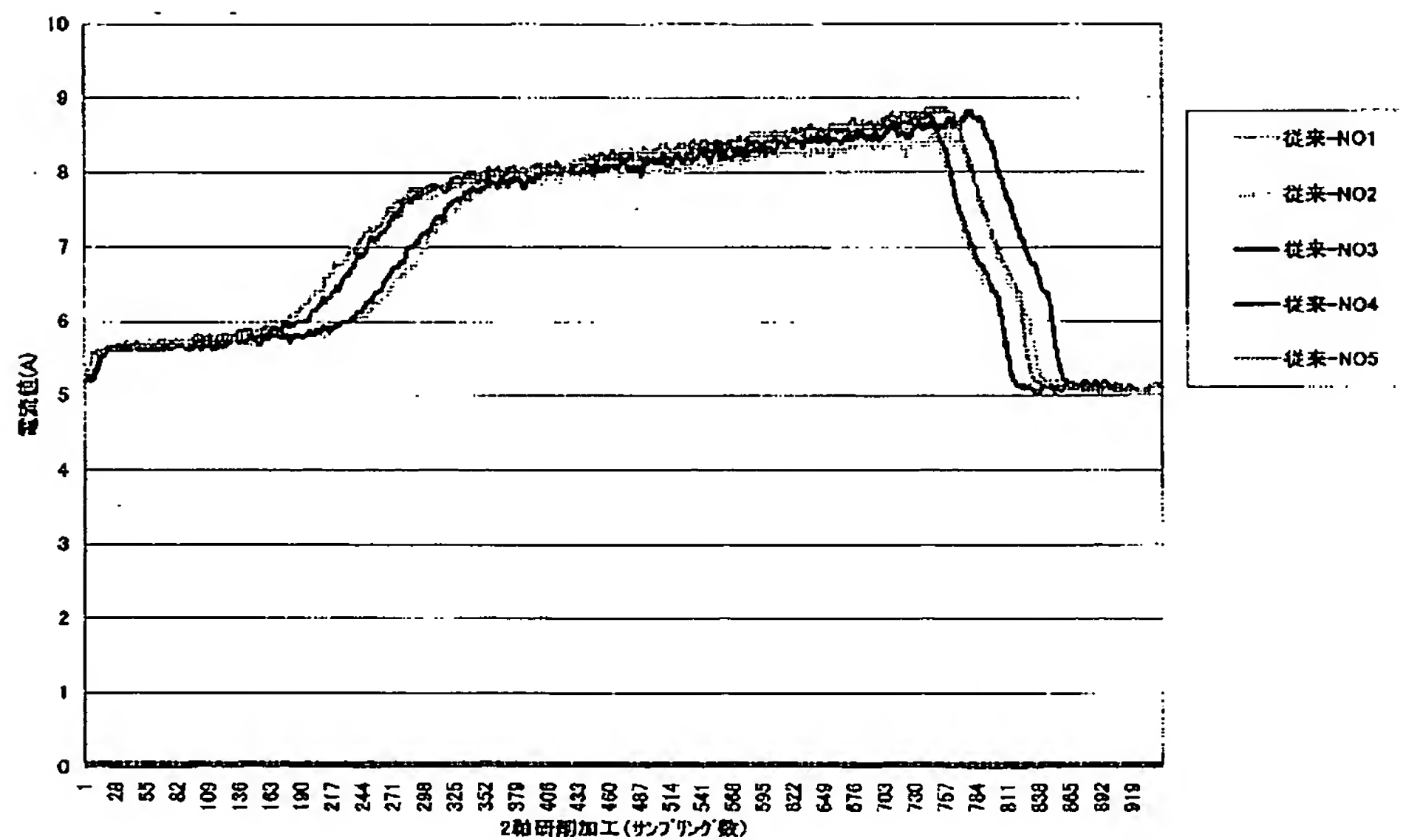
【図5】



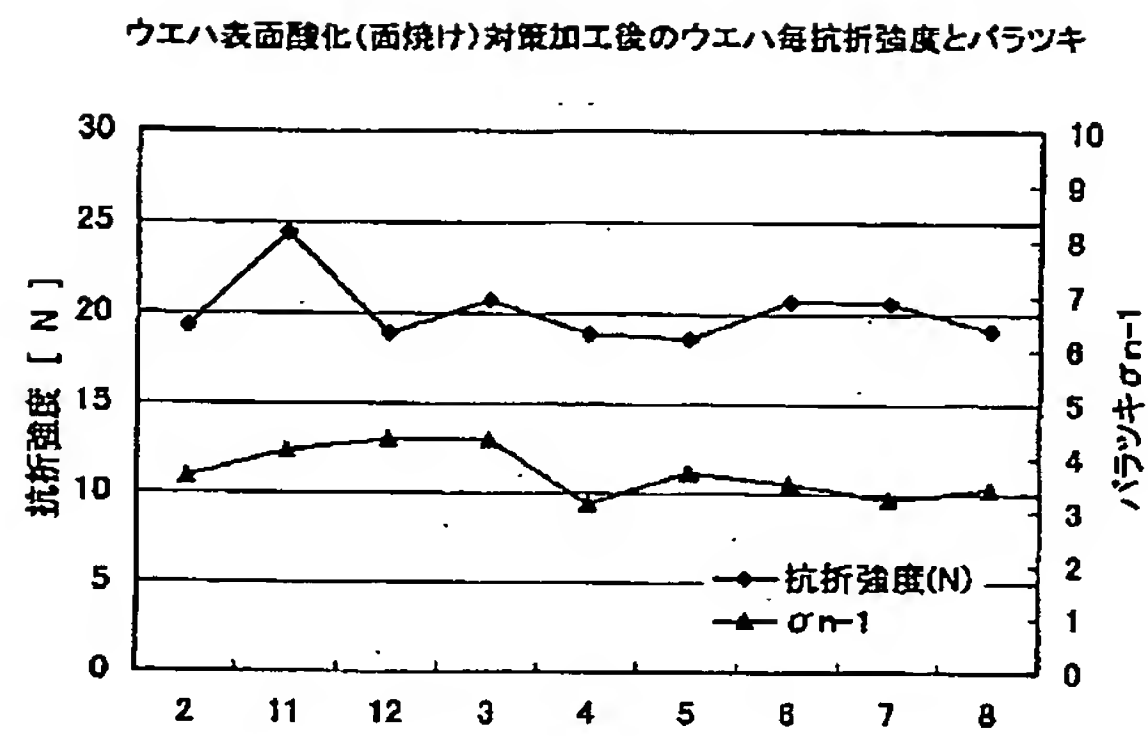
【図8】



【図6】



【図 7】



NO	抗折強度(N)	σ_{n-1}
2	19.3	3.63
11	24.4	4.12
12	18.9	4.34
3	20.7	4.33
4	18.9	3.14
5	18.6	3.72
6	20.7	3.52
7	20.6	3.23
8	19.1	3.42
10	20.0	4.93
平均	20.1	3.72

フロントページの続き

(72)発明者 広瀬 晃
 茨城県下館市大字五所宮1150番地 日立化
 成工業株式会社五所宮事業所内